

PAT-NO: JP410020975A

DOCUMENT-IDENTIFIER: JP 10020975 A

TITLE: MEASUREMENT CONTROLLER

PUBN-DATE: January 23, 1998

INVENTOR-INFORMATION:

NAME
HOSHI, MITSUO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP08190120

APPL-DATE: July 1, 1996

INT-CL (IPC): G06F003/00

ABSTRACT:

PROBLEM TO BE SOLVED: To realize a measurement controller which can improve software developing efficiency, can secure accurate processing timing even if the number of outputs increases, can easily execute a wiring processing and can easily take noise counter measure for respective signals.

SOLUTION: A control substrate 2 arranged in the extension slot of personal computer 1 controls serial data communication between an output unit group 3 and an input unit group 4 and manages data transfer with the personal computer 1 becoming a host-side. Thus, the software scale of the personal computer 1-side can be reduced and developing efficiency improves. Furthermore, the output unit group 3 or the input unit groups 4 can be cascade-connected on a serial data line. Thus, accurate precise processing timing can be secured and the wirings do not concentrate on the extension slot of the personal computer 1. Then, the wiring can considerably easily be checked and correspondence to noise countermeasure for the respective signal types can individually be executed.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-20975

(43) 公開日 平成10年(1998) 1月23日

(51) Int. Cl.⁶

G 0 6 F 3/00

識別記号

庁内整理番号

F I

G 0 6 F 3/00

技術表示箇所

P

審査請求 未請求 請求項の数 2 F D (全 8 頁)

(21) 出願番号 特願平8-190120

(22) 出願日 平成8年(1996) 7月1日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 星 光男

東京都品川区北品川6丁目7番35号 ソニ

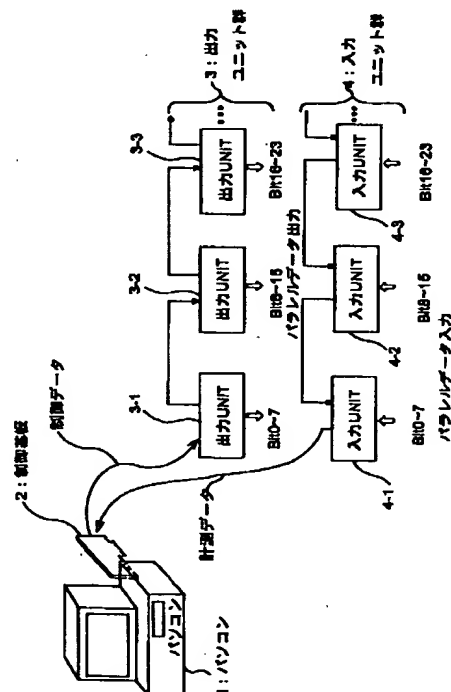
ー株式会社内

(54) 【発明の名称】 計測制御装置

(57) 【要約】

【課題】 ソフトウェア開発効率を向上させる一方、入出力点数が増加しても正確な処理タイミングを確保できるうえ、配線処理や信号毎のノイズ対策が容易に行える計測制御装置を実現する。

【解決手段】 パソコン1の拡張スロットに配設される制御基板2が出力ユニット群3と入力ユニット群4とのシリアルデータ通信を制御すると共に、ホスト側となるパソコン1とのデータ授受をも管理するので、パソコン1側のソフトウェア規模を小さくでき、開発効率が向上する。しかも、シリアルデータ線路に出力ユニット群3あるいは入力ユニット群4を縦続接続するので、正確な処理タイミングを確保できる上、パソコンの拡張スロットに配線が集中せず極めて容易に配線チェックが行え、信号種類毎のノイズ対策も個々に対応できる。



【特許請求の範囲】

【請求項1】 上位制御手段によって制御指令が書き込まれる第1の記憶手段と、

この第1の記憶手段から読み出した制御指令に応じた制御データを発生して第2の記憶手段に書き込む第1のデータ授受手段と、

この第2の記憶手段から読み出した制御データを一連のシリアルデータに変換してシリアル出力し、縦続接続される複数の出力手段の個々にデータセットする出力制御手段と、

複数の入力手段の個々がラッチしたパラレルデータを一連のシリアルデータとして取込み、これをパラレル変換して計測データとして前記第2の記憶手段に記憶する入力制御手段と、

この第2の記憶手段から読み出した計測データを前記第1の記憶手段に書き込む第2のデータ授受手段とを具備することを特徴とする計測制御装置。

【請求項2】 前記第1および第2の記憶手段と、前記第1および第2のデータ授受手段と、前記出力制御手段および入力制御手段とは、同一基板上に配置され、前記上位制御手段の拡張スロットに装着されることを特徴とする請求項1記載の計測制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、FA（ファクトリー・オートメーション）等に用いて好適な計測制御装置に関する。

【0002】

【従来の技術】周知のように、パーソナルコンピュータ（以下、パソコンと称す）による計測制御は、汎用I/O基板やGP-IB基板、RS-232C基板などの拡張基板をパソコンのI/O拡張スロットに設ける場合が多い。これらの拡張基板は、パソコンと計測制御対象との間のインタフェースを確立するものであり、例えば、パソコン側から出力される制御信号に応じてアクチュエータを駆動させたり、このアクチュエータの駆動に応じて変化する状態を検出するセンサ信号を取込み、これをパソコン側へ入力する等のI/Oポートとして作用する。

【0003】

【発明が解決しようとする課題】ところで、近年では計測制御の内容が複雑化する一方で計測制御対象の入出力点数も増加の一途を辿っており、上述した従来の拡張基板による汎用インタフェースバスを使用する場合には対応し得る入出力点数に限りが出てきてしまう。加えて、汎用インタフェースバスを利用したパソコンだけで計測、制御、データ集計およびデータ表示等を行わせようとすると、必然的にソフトウェア規模が大きくなり開発効率が低下してしまう。

【0004】しかも、計測制御対象の入出力点数が増加

すると、正確な処理タイミングを確保し難くなる上、パソコンの拡張スロットに配線が集中して配線チェック等の処理や、信号種類毎のノイズ対策が困難になる問題もある。また、パソコンの拡張スロット数にも限りがある為、入出力点数を無制限に増設することができないという問題もある。

【0005】本発明は、このような事情に鑑みてなされたもので、ソフトウェア開発効率を向上させる一方、計測制御対象の入出力点数が増加しても正確な処理タイミングを確保できるうえ、配線処理や信号毎のノイズ対策が容易に行える計測制御装置を提供することを目的としている。

【0006】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、上位制御手段によって制御指令が書き込まれる第1の記憶手段と、この第1の記憶手段から読み出した制御指令に応じた制御データを発生して第2の記憶手段に書き込む第1のデータ授受手段と、この第2の記憶手段から読み出した制御データを一連のシリアルデータに変換してシリアル出力し、縦続接続される複数の出力手段の個々にデータセットする出力制御手段と、複数の入力手段の個々がラッチしたパラレルデータを一連のシリアルデータとして取込み、これをパラレル変換して計測データとして前記第2の記憶手段に記憶する入力制御手段と、この第2の記憶手段から読み出した計測データを前記第1の記憶手段に書き込む第2のデータ授受手段とを具備することを特徴とする。

【0007】上記請求項1に従属する請求項2に記載の発明では、前記第1および第2の記憶手段と、前記第1および第2のデータ授受手段と、前記出力制御手段および入力制御手段とは、同一基板上に配置され、前記上位制御手段の拡張スロットに装着されることを特徴としている。

【0008】本発明では、第1のデータ授受手段が第1の記憶手段から読み出した制御指令に応じた制御データを第2の記憶手段に書き込む。出力制御手段はこの第2の記憶手段から読み出した制御データを一連のシリアルデータに変換してシリアル出力し、縦続接続される複数の出力手段の個々にデータセットする。一方、入力制御手段は複数の入力手段の個々によってラッチされたパラレルデータを一連のシリアルデータとして取込み、これをパラレル変換して計測データとして前記第2の記憶手段に記憶する。第2のデータ授受手段はこの第2の記憶手段から読み出した計測データを前記第1の記憶手段に書き込む。この結果、上位制御手段側の処理負担が軽減され、必然的に上位制御手段側のソフトウェア開発効率が向上する。また、計測制御対象の入出力点数が増加しても正確な処理タイミングを確保できるうえ、配線処理や信号毎のノイズ対策が容易になる。

【0009】

【発明の実施の形態】本発明による計測制御装置は、F A（ファクトリー・オートメーション）などに適用され得る。以下では、本発明の実施の形態による計測制御装置を実施例として図面を参照して説明する。

【0010】A. 実施例の構成

(1) 概略構成

図1は、本発明の一実施例による計測制御装置の概略構成を示す図である。この図において、符号1は、所定のアプリケーションソフトの起動により計測、制御、データ集計、データ表示およびデータ保存等の各種処理を行うパソコンである。符号2は、パソコン1の拡張スロットに介装される制御基板である。この制御基板2には、第1および第2のCPUが搭載されている。

【0011】第2のCPUは、後述する出力ユニット群3と入力ユニット群4とに対して、例えば、0〜+12VのCMOS電圧レベルによるシリアル通信を繰り返す。一方、第1のCPUは、パソコン本体側のCPUから供給される制御データを第2のCPU側へ転送すると共に、第2のCPU側から供給される計測データをパソコン本体側のCPUへ転送する。

【0012】出力ユニット群3は、制御データラインを介して各出力ユニット3-1〜3-nをカスケード接続したものである。各出力ユニット3-1〜3-nは、制御基板2が送出するシリアル形式の制御データをラッチするシフトレジスタ等から構成され、例えば、ラッチした制御データをシリアル/パラレル変換し、その変換出力によって電磁弁などのアクチュエータ（図示略）を駆動制御する。

【0013】一方、入力ユニット群4は、計測データラインを介して各入力ユニット4-1〜4-nをカスケード接続したものである。各入力ユニット4-1〜4-nは、例えば、図示されていないセンサから供給される検出信号をラッチして得たセンサデータを、シリアル形式の計測データとして制御基板側2へ送出する。

【0014】(2) 制御基板2の構成

次に、図2を参照して制御基板2の構成について説明する。この図において、符号10は、パソコン本体側のCPU（以下、パソコンCPU10と記す）であり、バスBを介して共有メモリ20にアクセスする。符号21は、第1のCPU（以下、CPU21と記す）である。このCPU21は、パソコンCPU10によって共有メモリ20に書込まれた制御コマンドや制御パラメータ、あるいはタイミング情報を読み出し、これに基づきシーケンス制御プログラムを実行して生成する制御データを、共有メモリ22側に書き込む。

【0015】符号23は、上記制御プログラムが格納されるフラッシュメモリである。符号24は、CPU21のワークエリアとして使用されるRAMであり、各種演算結果やフラグデータが一時記憶される。符号25は、第2のCPU（以下、CPU25と記す）である。この

CPU25は、上述した入力ユニット群4から計測データ（センサデータ）をシリアル受信するためのラッチ信号LAT1と、出力ユニット群3に対して制御データをシリアル送出するためのラッチ信号LAT2とを発生すると共に、後述する読み出しアドレスad-outおよび書き込みアドレスad-inを発生する。

【0016】符号26は、パラレル/シリアル変換器であり、CPU25から供給される読み出しアドレスad-outに応じて共有メモリ22から制御データを読み出し、これをシリアル出力データS-OUTに変換して出力ユニット群3側へ送出する。符号27は、シリアル/パラレル変換器であり、入力ユニット4群から入力されるシリアル入力データS-INをパラレル形式の計測データに変換すると共に、この変換した計測データを、CPU25から供給される書き込みアドレスad-inに従って共有メモリ22に書込む。

【0017】こうして共有メモリ22に書込まれたデータは、上述したCPU21によって読み出され、このデータを元にシーケンス制御プログラムの入力データとして使用される。また、一部は計測データとして共有メモリ20側に書き込まれる。符号28は、クロックカウンタであり、ビットシフト用のクロック出力CK-OUTを発生する一方、そのカウンタ値をCPU25に供給する。

【0018】このように、上記構成によれば、パソコン1の拡張スロットに配設される制御基板2が、シーケンス制御プログラムを実行し、出力ユニット群3と入力ユニット群4とのシリアルデータ通信を制御すると共に、ホスト側となるパソコン1とのデータ授受をも管理するので、パソコン1側のソフトウェア規模を小さくでき、開発効率が向上する。しかも、上記構成にあつては、計測制御対象である出力ユニットあるいは入力ユニットの数が増加しても正確な処理タイミングを確保できるうえ、パソコンの拡張スロットに配線が集中することもなく極めて容易に配線チェックが行え、信号種類毎のノイズ対策も個々に対応することが可能になる。

【0019】B. 実施例の動作

次に、上記構成による実施例の入力動作および出力動作について図3〜図10を参照して説明する。

(1) 入力動作

ここでは、入力ユニット群4からシリアル形式の計測データを取込む動作について言及する。まず、図3に示すように、処理タイミング t_0 においてCPU25がラッチ信号LAT1を“L”にすると、各入力ユニット4-1〜4-nでは、図4の一例に図示する通り、パラレル入力されるセンサデータをシフトレジスタにラッチする。図4の一例の場合、各入力ユニット4-1〜4-nがそれぞれ各8ビット幅のセンサデータをラッチしている。

【0020】次に、処理タイミング t_1 （図3参照）に

5

なると、CPU25はラッチ信号LAT1を”H”に戻し、シリアル/パラレル変換器27に書き込みアドレスad-inをセットする。ここで、クロックカウンタ28のクロック出力CK-OUTが歩進されると、図5に図示するように、各入力ユニット4-1~4-nのシフトレジスタにラッチされていたセンサデータが1ビットシフトされ、これがシリアル入力データS-INとして制御基板2側へ入力される。これ以後、クロック出力CK-OUTの歩進に同期して順次シリアル入力データS-INが制御基板2に送出される。

【0021】クロック出力CK-OUTに同期して制御基板2に入力されるシリアル入力データS-INは、図6に示す形態で共有メモリ22に格納される。すなわち、シリアル/パラレル変換器27では、シリアル入力データS-INを8ビット単位でパラレル形式の計測データに変換した後、これをCPU25により指定された書き込みアドレスad-inに従って共有メモリ22に書き込む。これにより、共有メモリ22には、図6に図示する通り、入力ユニット単位の計測データがセットされることになる。CPU25は、こうした動作を高速に繰り返して実行し続ける。

【0022】こうして共有メモリ22にセットされた入力ユニット単位の計測データは、例えばCPU21のシーケンス制御プログラムの実行に使用したり、あるいは所定ユニット毎の計測データが選択的に読み出されて共有メモリ20へ転送される。この結果、パソコンCPU10では共有メモリ20にセットされた計測データに基づき、データ集計やデータ表示等のアプリケーションソフトを実行する。

【0023】(2)出力動作
ここでは、パソコンCPU10の指示に応じて出力ユニット群3に制御データを送出する出力動作について言及する。さて、出力動作の場合には、まず、パソコンCPU10がアクチュエータ等の機器を制御するのに必要な制御コマンドあるいは制御パラメータ、もしくはタイミング情報を生成して共有メモリ20の所定記憶エリアにセットする。そうすると、制御基板2側のCPU21が共有メモリ20から制御コマンドあるいは制御パラメータ、もしくはタイミング情報を読み出し、これに基づき出力ユニット群3に対して送出すべき制御データを発生して共有メモリ22にストアする。

【0024】一方、CPU25は、共有メモリ22に制御データが書き込まれたことを検知すると、図7に示す処理タイミングTsの時点でラッチ信号LAT2を”H”にすると共に、パラレル/シリアル変換器26に対して読み出しアドレスad-outをセットする。

【0025】パラレル/シリアル変換器26では、図8に示すように、クロック出力CK-OUTが8クロック歩進する毎に読み出しアドレスad-outをインクリメントさせながら共有メモリ22からパラレル8ビット

6

長の制御データを読み出し、これをシリアル形式の制御データに変換してから1ビットづつクロック出力CK-OUTに同期して出力ユニット群3へ送出する。

【0026】例えば、送出すべき制御データの総データ長が2048ビットであれば、図9に図示する通り、最初に”2047ビット”目の制御データが出力ユニット3-1に送出される。これ以後、クロック出力CK-OUTに同期してビット降順にシリアル送出が行われ、全ビットの送出が完了した時点、すなわち、図7に示す処理タイミングTsでCPU25はラッチ信号LAT2を”L”に設定する。これにより、図10に示すように、各出力ユニット3-1~3-nに制御データが格納される。

【0027】こうして各出力ユニット3-1~3-nに格納された制御データは、各ユニットの制御対象に供給される。例えば、制御対象がデジタル機器であれば、そのまま読み出され、アナログ機器であれば制御データがD/A変換されてアナログ制御信号として使用される。CPU25は、以上の動作を高速に繰り返し実行し続ける。

【0028】以上説明したように、本実施例によれば、パソコン1の拡張スロットに配設される制御基板2が出力ユニット群3と入力ユニット群4とのシリアルデータ通信を制御し、シーケンス制御プログラムを実行すると共に、ホスト側となるパソコン1とのデータ授受をも管理する分散処理を実現するので、パソコン1側の負荷を軽減したり、パソコン1側のソフトウェア規模を小さくしてソフトウェア開発効率を向上させることが可能となる。

【0029】また、この実施例では、出力ユニット群3および入力ユニット群4をそれぞれカスケード接続して制御基板2とシリアル通信する形態とした為、個々のユニットと制御基板2とを接続する形態に比して総配線長を短縮することができる上、配線処理もシンプルかつ容易になる。加えて、本実施例では、出力ユニット群3および入力ユニット群4に対して制御基板2側に近い順に自動的にビット割り当てされるため、個々のユニットに対してアドレス設定するスイッチを設ける必要がない。

【0030】

【発明の効果】本発明によれば、第1のデータ授受手段が第1の記憶手段から読み出した制御指令に応じた制御データを第2の記憶手段に書き込むと、出力制御手段がこの第2の記憶手段から読み出した制御データを一連のシリアルデータに変換してシリアル出力し、縦続接続される複数の出力手段の個々にデータセットする。一方、入力制御手段が複数の入力手段の個々によってラッチされたパラレルデータを一連のシリアルデータとして取込み、これをパラレル変換して計測データとして前記第2の記憶手段に記憶すると、第2のデータ授受手段がこの第2の記憶手段から読み出したデータを元にシーケンス

制御プログラムを実行すると共に、計測データを前記第1の記憶手段に書き込むので、上位制御手段側の処理負担が軽減される。この結果、必然的に上位制御手段側のソフトウェア開発効率が向上する。また、計測制御対象の入出力点数が増加しても正確な処理タイミングを確保できるうえ、配線処理や信号毎のノイズ対策を容易にすることができる。

【図面の簡単な説明】

【図1】本発明による一実施例の概略構成を示す図である。

【図2】同実施例における制御基板2の構成を示すブロック図である。

【図3】同実施例における入力動作を説明するためのタイムチャートである。

【図4】同実施例における入力動作を説明するための図である。

【図5】同実施例における入力動作を説明するための図である。

【図6】同実施例における入力動作を説明するための図である。

【図7】同実施例における出力動作を説明するためのタイムチャートである。

【図8】同実施例における出力動作を説明するための図である。

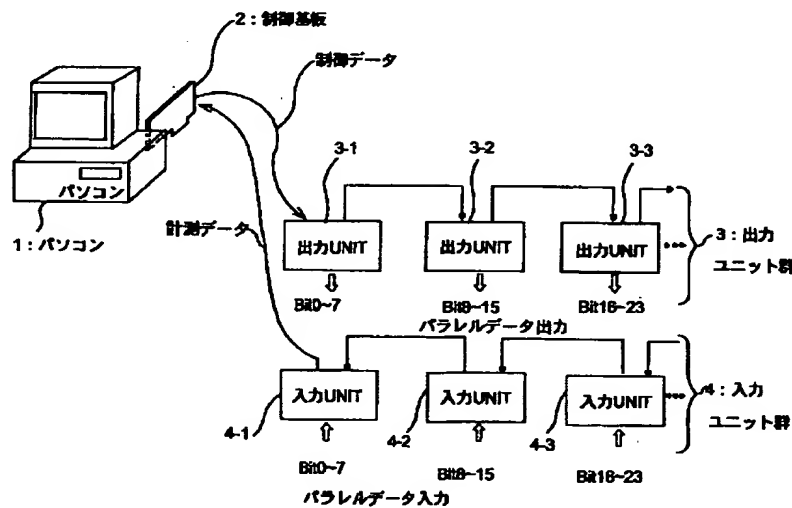
【図9】同実施例における出力動作を説明するための図である。

【図10】同実施例における出力動作を説明するための図である。

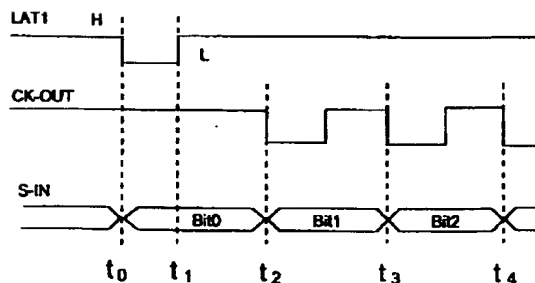
【符号の説明】

- 10 1……パソコン、2……制御基板、3……出力ユニット群（出力手段）、4……入力ユニット群（入力手段）、10……パソコンCPU（上位制御手段）、20……共有メモリ（第1の記憶手段）、21……CPU（第1のデータ授受手段、第2のデータ授受手段およびシーケンス制御手段）、22……共有メモリ（第2の記憶手段）、23……フラッシュメモリ、24……RAM、25……CPU（出力制御手段、入力制御手段）、26……パラレル/シリアル変換器（出力制御手段）、27……シリアル/パラレル変換器（入力制御手段）、28……クロックカウンタ（出力制御手段、入力制御手段）。

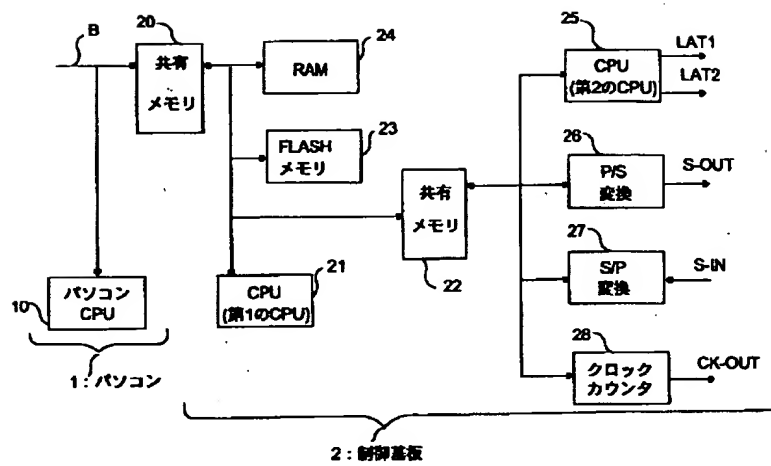
【図1】



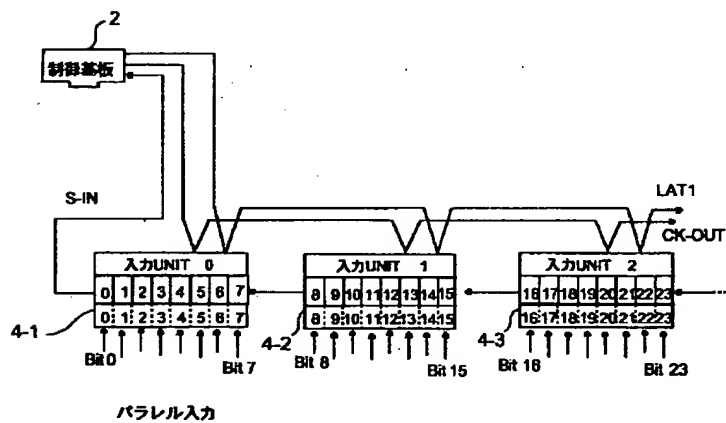
【図3】



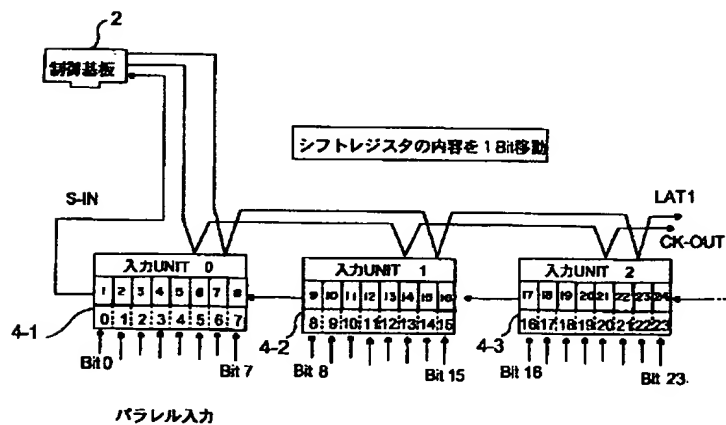
【図2】



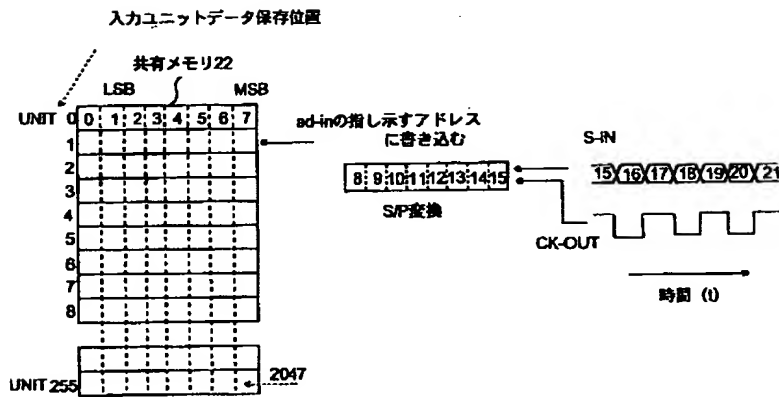
【図4】



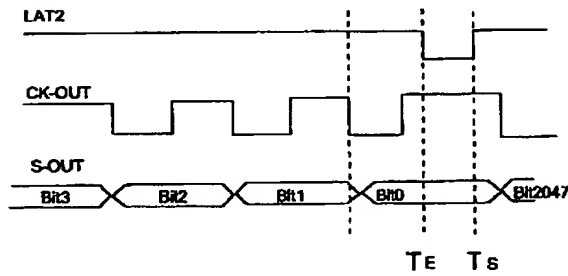
【図5】



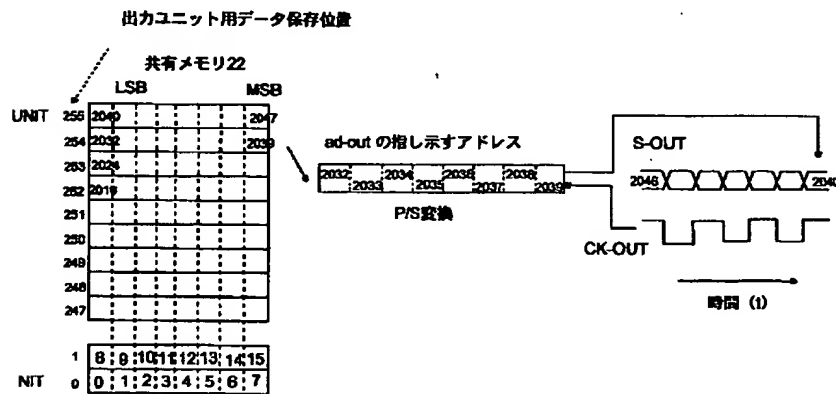
【図6】



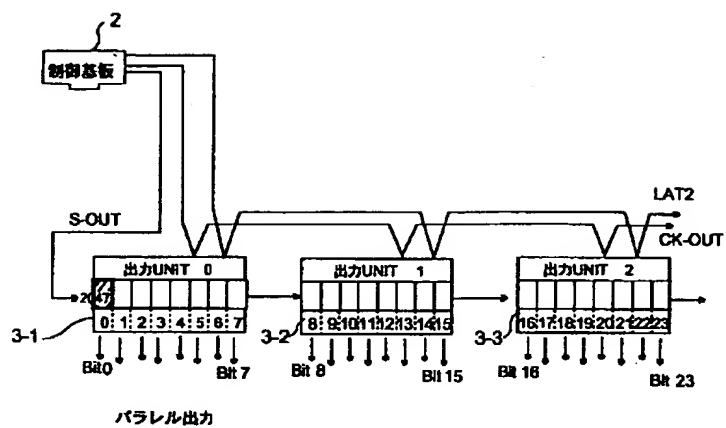
【図7】



【図8】



【図9】



【図10】

